

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   4 月 1 8 日  
Date of Application:

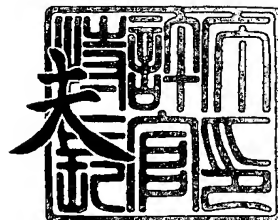
出 願 番 号            特 願 2 0 0 3 - 1 1 3 6 5 1  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 1 3 6 5 1 ]

出      願      人            パイオニア株式会社  
Applicant(s):

2 0 0 3 年 1 2 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 57P0553

【提出日】 平成15年 4月18日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/00

【発明の名称】 表示パネルの駆動方法

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 岩見 隆

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネルの駆動方法

【特許請求の範囲】

【請求項 1】 画素を担う複数の画素セルが  $n$  個の表示ライン各々上に形成されている表示パネルを入力映像信号の各フィールドを構成する複数のサブフィールド毎に駆動して階調表示を行う表示パネルの駆動方法であって、

前記サブフィールドの各々は、

前記  $n$  個の表示ライン各々に形成されている画素セルの各々を 1 表示ライン分ずつ走査して前記入力映像信号に基づき点灯モード又は消灯モードのいずれか一方に設定して行くアドレス行程と、前記点灯モードに設定されている前記画素セルのみを前記サブフィールドに対応した期間に亘り発光させるサステイン行程と、を含み、

前記サブフィールド各々の内の少なくとも 2 つのサブフィールド各々の前記アドレス行程は前記  $n$  個の表示ライン各々を走査する走査順序が他のサブフィールド各々の前記アドレス行程での走査順序とは異なることを特徴とする表示パネルの駆動方法。

【請求項 2】 前記サブフィールド各々の内の少なくとも 2 つの前記サブフィールド各々の前記アドレス行程では前記  $n$  個の表示ライン各々を線順次にて走査する一方、その他のサブフィールド各々の前記アドレス行程では前記  $n$  個の表示ライン各々を  $k$  個 ( $k$  は自然数) おきに走査することを特徴とする請求項 1 記載の表示パネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、交流駆動型プラズマディスプレイパネル、又はエレクトロルミネセンスディスプレイパネルの如き表示パネルを駆動する駆動方法に関する。

【0002】

【背景技術】

現在、壁掛 TV として、プラズマディスプレイパネル(以下、PDP と称する)

、又はエレクトロルミネセンスディスプレイパネル(以下、ELPと称する)等の如き容量性発光素子からなる表示パネルが製品化されている。

図1は、かかる表示パネルとしてPDPを搭載したプラズマディスプレイ装置の概略構成を示す図である(例えば、特許文献1の図1参照)。

#### 【0003】

図1において、プラズマディスプレイパネルとしてのPDP10は、X及びYの1対にて1画面の各行(第1行～第n行)に対応した行電極対を為す行電極 $Y_1 \sim Y_n$ 及び $X_1 \sim X_n$ を備えている。更に、PDP10には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで1画面の各列(第1列～第m列)に対応した列電極 $Z_1 \sim Z_m$ が形成されている。尚、1対の行電極対(X、Y)と1つの列電極Zとの交差部に画素を担う放電セルが形成される。

#### 【0004】

ここで、各放電セルは、放電によって発光するものであるため、最高輝度での発光状態と、消灯状態の2つの状態しかもたない。すなわち、そのままでは、最低輝度と最高輝度の2階調分の輝度しか表現出来ないのである。

そこで、このような発光素子を各画素セルとして備えたPDP10に対して、入力された映像信号に対応した中間調の輝度を得るべく、駆動装置100は、サブフィールド法を用いた階調駆動を実施する。

#### 【0005】

サブフィールド法では、入力された映像信号を各画素毎に対応したNビットの画素データに変換し、このNビットのビット桁各々に対応させて、1フィールドの表示期間をN個のサブフィールドに分割する。各サブフィールドには、そのサブフィールドの重み付けに対応した放電実行回数が夫々割り当ててあり、映像信号に応じたサブフィールドにおいてのみでこの放電を選択的に生起させる。この際、各サブフィールドで生起された放電回数の合計(1フィールド表示期間内での)により、映像信号に対応した中間調の輝度が得られるのである。

#### 【0006】

かかるサブフィールド法を利用してPDPを階調駆動する方法として、選択消去アドレス法が知られている。

図2は、選択消去アドレス法に基づき、駆動装置100が1サブフィールド内においてPDP10の列電極及び行電極に印加する各種駆動パルスの印加タイミングを示す図である(例えば、特許文献1の図2参照)。

#### 【0007】

先ず、駆動装置100は、負極性のリセットパルス $RP_x$ を行電極 $X_1 \sim X_n$ に印加すると同時に、正極性のリセットパルス $RP_y$ を行電極 $Y_1 \sim Y_n$ 各々に印加する(一斉リセット行程 $Rc$ )。これらリセットパルス $RP_x$ 及び $RP_y$ の印加に応じて、PDP10中の全ての放電セルがリセット放電され、各放電セル内には一様に所定量の壁電荷が形成される。これにより、全ての放電セルは一旦、点灯モードに初期設定される。

#### 【0008】

次に、駆動装置100は、入力された映像信号を各画素毎の例えば8ビットの画素データに変換する。駆動装置100は、かかる画素データを各ビット桁毎に分割して画素データビットを求め、この画素データビットの論理レベルに応じたパルス電圧を有する画素データパルスを発生する。例えば、駆動装置100は、上記画素データビットが論理レベル「1」である場合には高電圧、論理レベル「0」である場合には低電圧(0ボルト)の画素データパルス $DP$ を発生する。そして、駆動装置100は、かかる画素データパルス $DP$ を1行分毎( $m$ 個)に順次、列電極 $Z_1 \sim Z_m$ に印加して行く。更に、駆動装置100は、上記画素データパルス $DP$ の印加タイミングに同期して、図2に示されるが如き走査パルス $SP$ を行電極 $Y_1 \sim Y_n$ へと順次印加して行く(画素データ書込行程 $Wc$ )。この際、走査パルス $SP$ が印加された行電極と、高電圧の画素データパルス $DP$ が印加された列電極との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が消去される。これにより、上記一斉リセット行程 $Rc$ において点灯モードに初期化された放電セルは、消灯モードに推移する。一方、走査パルス $SP$ が印加されたものの、低電圧の画素データパルス $DP$ が印加された放電セルには前述した如き選択消去放電は生起されず、上記一斉リセット行程 $Rc$ にて初期化された状態、つまり点灯モードの状態が保持される。

#### 【0009】

次に、駆動装置 100 は、図 2 に示されるが如く、正極性の維持パルス  $IP_X$  を繰り返し行電極  $X_1 \sim X_n$  に印加すると共に、正極性の維持パルス  $IP_Y$  を繰り返し行電極  $Y_1 \sim Y_n$  に印加する(発光維持行程  $Ic$ )。この際、壁電荷が残留したままとなっている放電セル、すなわち点灯モードの状態にある放電セルのみが、維持パルス  $IP_X$  及び  $IP_Y$  が交互に印加される度に放電(維持放電)する。つまり、上記画素データ書込行程  $Wc$  において点灯モードに設定された放電セルのみが、このサブフィールドの重み付けに対応した回数分だけ維持放電に伴う発光を繰り返し、その発光状態を維持するのである。尚、これら維持パルス  $IP_X$  及び  $IP_Y$  が印加される回数は、各サブフィールド毎の重み付けに応じて予め設定されている回数である。

#### 【0010】

次に、駆動装置 100 は、図 2 に示されるが如き消去パルス  $EP$  を行電極  $X_1 \sim X_n$  に印加する(消去行程  $E$ )。これにより、全放電セルを一斉に消去放電せしめて各放電セル内に残留している壁電荷を消滅させる。

ところが、PDP 又は ELP の如き容量性の表示パネルに対して上述した如き駆動を行うと、例えば上記画素データパルス  $DP$  の印加により、データ書込対象となる表示ラインのみならず、対象外の表示ラインに対しても充放電が為され、更に隣接する列電極間の容量充放電をも行わなければならない。このため、画素データ書き込み時の電力消費が大きいという問題があった。

#### 【0011】

##### 【発明が解決しようとする課題】

本発明は、消費電力を低減できる表示パネルの駆動方法を提供することを目的とする。

#### 【0012】

##### 【課題を解決するための手段】

請求項 1 記載による表示パネルの駆動方法は、画素を担う複数の画素セルが  $n$  個の表示ライン各々上に形成されている表示パネルを入力映像信号の各フィールドを構成する複数のサブフィールド毎に駆動して階調表示を行う表示パネルの駆動方法であって、前記サブフィールドの各々は、前記  $n$  個の表示ライン各々に形

成されている画素セルの各々を1表示ライン分ずつ走査して前記入力映像信号に基づき点灯モード又は消灯モードのいずれか一方に設定して行くアドレス行程と、前記点灯モードに設定されている前記画素セルのみを前記サブフィールドに対応した期間に亘り発光させるサステイン行程と、を含み、前記サブフィールド各々の内の少なくとも2つのサブフィールド各々の前記アドレス行程は前記n個の表示ラインの各々を走査する走査順序が他のサブフィールド各々の前記アドレス行程での走査順序とは異なる。

#### 【0013】

#### 【発明の実施の形態】

図3は、本発明による駆動方法に従って表示パネルを駆動するディスプレイ装置の構成を示す図である。

図3に示すディスプレイ装置は、表示パネルとしてのプラズマディスプレイパネル100（以下、PDP100と称する）と、これを駆動する駆動部とから構成される。駆動部は、同期検出回路1、駆動制御回路2、A/D変換器4、データ変換回路30、メモリ5、アドレスドライバ6、第1サステインドライバ7及び第2サステインドライバ8から構成される。

#### 【0014】

PDP100は、アドレス電極としてのm個の列電極 $D_1 \sim D_m$ と、これら列電極と直交して配列された、夫々n個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。各列電極Dと、互いに隣接する一対の行電極X及びYとの交差部に画素を担う放電セルが形成されている。すなわち、PDP100には、夫々にm個の放電セルが配置されている第1～第n表示ラインが設けられているのである。

#### 【0015】

同期検出回路1は、アナログの入力映像信号中から垂直同期信号を検出したときに垂直同期信号Vを発生すると共に、この入力映像信号中から水平同期信号を検出した場合には水平同期信号Hを発生して、これらを駆動制御回路2に供給する。A/D変換器4は、駆動制御回路2から供給されたクロック信号に応じて上記入力映像信号をサンプリングして、これを各画素毎の例えば8ビットの画素データPDに変換してデータ変換回路30に供給する。すなわち、画素データPD

は、入力映像信号によって示される各画素毎の輝度レベルを「0」～「255」なる値で表現するものである。

#### 【0016】

図4は、かかるデータ変換回路30の内部構成を示す図である。

図4に示されるように、データ変換回路30は、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34で構成される。

図4において、第1データ変換回路32は、8ビットの画素データPDによって示される各画素毎の輝度レベルを、図5に示されるが如き変換特性に従って「0」～「192」までの輝度レベルを8ビットにて表す輝度変換画素データPD<sub>L</sub>に変換し、これを多階調化処理回路33に供給する。尚、上記第1データ変換回路32のデータ変換により、多階調化処理回路33での多階調化処理による輝度飽和、並びに表示階調がビット境界にない場合に生じる表示特性の平坦部の発生(すなわち、階調歪みの発生)が抑制される。

#### 【0017】

多階調化処理回路33は、8ビットの輝度変換画素データPD<sub>L</sub>に対して誤差拡散処理及びディザ処理を施すことにより、現階調数を維持しつつもそのビット数を4ビットに削減した多階調化画素データPD<sub>S</sub>を生成し、これを第2データ変換回路34に供給する。例えば、上記誤差拡散処理では、先ず、画素データPDの上位6ビット分を表示データ、残りの下位2ビット分を誤差データと捉える。そして、周辺画素各々に対応した上記画素データPDの各誤差データを重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位2ビット分の輝度が上記周辺画素によって擬似的に表現され、それ故に8ビットよりも少ない6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になる。そして、この誤差拡散処理によって得られた6ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を1画素単位とし、この1画素単位内の各画素に対応した上記誤差拡散処理画素データに夫々、互いに異なる係数値からなるディザ係数を夫々割り当てて加算してディザ加算画素データを得る。かかるディザ係数の加算によれば、上記1画素単位で眺めた場合には、上記ディザ加算画素

データの上位 4 ビット分だけでも 8 ビットに相当する輝度を表現することが可能となる。多階調化処理回路 33 は、上記ディザ加算画素データの上位 4 ビット分を多階調化画素データ  $PDS$  として第 2 データ変換回路 34 に供給する。

#### 【0018】

第 2 データ変換回路 34 は、上記 4 ビットの多階調化画素データ  $PDS$  を図 6 に示されるが如き変換テーブルに従って第 1 ～第 12 ビットからなる画素駆動データ  $GD$  に変換してメモリ 5 に供給する。

メモリ 5 は、駆動制御回路 2 から供給されてくる書込信号に従って上記画素駆動データ  $GD$  を順次書き込んで記憶する。かかる書込動作により、1 画面 ( $n$  行、 $m$  列) 分の画素駆動データ  $GD(1,1) \sim GD(n,m)$  の書き込みが終了すると、メモリ 5 は、駆動制御回路 2 から供給されてくる読出信号に応じて、下記の如き読出を行う。すなわち、メモリ 5 は、先ず、画素駆動データ  $GD(1,1) \sim GD(n,m)$  各々の第 1 ビットのみを画素駆動データビット  $DB1$  として読み出し、1 表示ライン分ずつアドレスドライバ 6 に供給する。次に、メモリ 5 は、画素駆動データ  $GD(1,1) \sim GD(n,m)$  各々の第 2 ビットのみを画素駆動データビット  $DB2$  として読み出し、1 表示ライン分ずつアドレスドライバ 6 に供給する。次に、メモリ 5 は、画素駆動データ  $GD(1,1) \sim GD(n,m)$  各々の第 3 ビットのみを画素駆動データビット  $DB3$  として読み出し、1 表示ライン分ずつアドレスドライバ 6 に供給する。以下、同様にしてメモリ 5 は、画素駆動データ  $GD(1,1) \sim GD(n,m)$  各々の第 4 ビット～第 12 ビットを夫々画素駆動データビット  $DB4 \sim DB12$  として分割して読み出し、これらを 1 表示ライン分ずつアドレスドライバ 6 に供給するのである。

#### 【0019】

尚、メモリ 5 は、これら画素駆動データビット  $DB1 \sim DB12$  各々に対する読み出し動作を、後述するサブフィールド  $SF1 \sim SF12$  各々のタイミングで行う。つまり、メモリ 5 は、サブフィールド  $SF1$  では上記画素駆動データビット  $DB1$  に対する読み出しを実行し、サブフィールド  $SF2$  では上記画素駆動データビット  $DB2$  に対する読み出しを実行する。

#### 【0020】

駆動制御回路 2 は、図 7 に示す如きサブフィールド法に基づく発光駆動シーケンスに従って、PDP 100 を駆動すべき各種タイミング信号をアドレスドライバ 6、第 1 サステインドライバ 7 及び第 2 サステインドライバ 8 各々に供給する。

図 7 に示す発光駆動シーケンスでは、12 個のサブフィールド SF 1 ～ SF 12 各々において、上記画素駆動データビット DB に応じて各放電セルを点灯モード又は消灯モードのいずれか一方に設定するアドレス行程 W (W 1、W 2<sub>1</sub>～W 2<sub>2</sub>、W 3<sub>1</sub>～W 3<sub>4</sub>) を実行する。更に、サブフィールド SF 1 ～ SF 12 各々では、点灯モードに設定されている放電セルのみをサブフィールドの重み付けに対応した期間に亘り継続して発光させるサステイン行程 I を実行する。例えば、サブフィールド SF 1 のサステイン行程 I において実行する発光期間を「1」とした場合、サブフィールド SF 1 ～ SF 12 各々のサステイン行程 I では、

SF 1 : 1  
SF 2 : 2  
SF 3 : 4  
SF 4 : 6  
SF 5 : 10  
SF 6 : 14  
SF 7 : 19  
SF 8 : 25  
SF 9 : 31  
SF 10 : 39  
SF 11 : 47  
SF 12 : 57

なる期間だけ継続して点灯モードに設定されている放電セルを発光させる。

【0021】

又、先頭のサブフィールド SF 1 では、上記アドレス行程に先立ち、全放電セルを点灯モードに初期化するリセット行程 R を実行し、最後尾のサブフィールド SF 12 ではサステイン行程 I の後に全放電セルを消灯モードに推移させる消去

行程Eを実行する。

ここで、サブフィールドSF1及びSF2各々のアドレス行程W1では、PDP100における第1～第n表示ライン各々に属する放電セルの各々を1表示ライン分ずつ順次、点灯モード又は消灯モードに設定して行く。

#### 【0022】

又、サブフィールドSF3～SF10各々のアドレス行程W2<sub>1</sub>では、PDP100における第1～第n表示ライン各々の内の奇数番目の表示ライン、つまり、第1、第3、第5、…、第(n-1)表示ライン各々に属する放電セルのみを1表示ライン分ずつ順次、点灯モード又は消灯モードに設定して行く。又、サブフィールドSF3～SF10各々のアドレス行程W2<sub>2</sub>では、偶数番目の表示ライン、つまり第2、第4、第6、…、第n表示ライン各々に属する放電セルのみを1表示ライン分ずつ順次、点灯モード又は消灯モードに設定して行く。

#### 【0023】

又、サブフィールドSF11及びSF12各々のアドレス行程W3<sub>1</sub>では、第(4N-3)番目の表示ライン(Nは自然数)、つまり第1、第5、第9、…、第(n-3)表示ライン各々に属する放電セルのみを1表示ライン分ずつ順次、点灯モード又は消灯モードに設定して行く。又、サブフィールドSF11及びSF12各々のアドレス行程W3<sub>2</sub>では、第(4N-2)番目の表示ライン(Nは自然数)、つまり第2、第6、第10、…、第(n-2)表示ライン各々に属する放電セルのみを1表示ライン分ずつ順次、点灯モード又は消灯モードに設定して行く。又、サブフィールドSF11及びSF12各々のアドレス行程W3<sub>3</sub>では、第(4N-1)番目の表示ライン(Nは自然数)、つまり第3、第7、第11、…、第(n-1)表示ライン各々に属する放電セルのみを1表示ライン分ずつ順次、点灯モード又は消灯モードに設定して行く。又、サブフィールドSF11及びSF12各々のアドレス行程W3<sub>4</sub>では、第(4N)番目の表示ライン(Nは自然数)、つまり第4、第8、第12、…、第n表示ライン各々に属する放電セルのみを1表示ライン分ずつ順次、点灯モード又は消灯モードに設定して行く。

#### 【0024】

図 8 及び図 9 は、図 7 に示される発光駆動シーケンスに従ってアドレスドライバ 6、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 各々が、PDP 100 の行電極及び列電極に印加する各種駆動パルスと、その印加タイミングを示す図である。尚、図 8 は図 7 に示すサブフィールド SF 1 ~ SF 12 各々の内の SF 1 ~ SF 3、図 9 はサブフィールド SF 12 のみを夫々抜粋して示している。

#### 【0025】

先ず、図 8 に示す如きサブフィールド SF 1 のリセット行程 R では、第 1 サスティンドライバ 7 が負極性のリセットパルス  $RP_x$  を行電極  $X_1 \sim X_n$  に印加する。かかるリセットパルス  $RP_x$  の印加と同時に、第 2 サスティンドライバ 8 が、正極性のリセットパルス  $RP_y$  を行電極  $Y_1 \sim Y_2$  に印加する。これらリセットパルス  $RP_x$  及び  $RP_y$  の印加に応じて、PDP 100 の全放電セルがリセット放電し、各放電セル内には一様に所定量の壁電荷が形成される。これにより、全ての放電セルは、後述するサスティン行程 I にてサスティン放電が生起される状態（以降、点灯モードと称する）に初期化される。

#### 【0026】

サブフィールド SF 1 及び SF 2 各々のアドレス行程 W 1 では、アドレスドライバ 6 が、上記メモリ 5 から供給された画素駆動データビット DB の論理レベルに対応した電圧を有する画素データパルスを発生する。例えば、アドレスドライバ 6 は、画素駆動データビット DB の論理レベルが「1」である場合には高電圧、一方、論理レベル「0」である場合には低電圧（0 ボルト）の画素データパルスを生成する。そして、アドレスドライバ 6 は、上記画素データパルスを 1 表示ライン分（ $m$  個）ずつ順次、列電極  $D_1 \sim D_m$  に印加して行く。例えば、サブフィールド SF 1 のアドレス行程 W 1 では、アドレスドライバ 6 は、先ず、PDP 100 の第 1 表示ラインに対応した  $m$  個の画素データパルスからなる画素データパルス群 DP 1 を列電極  $D_1 \sim D_m$  に印加する。それ以降、アドレスドライバ 6 は、第 2 表示ラインに対応した画素データパルス群 DP 2、第 3 表示ラインに対応した画素データパルス群 DP 3、……、第  $n$  表示ラインに対応した画素データパルス群 DP  $n$  なる順に、1 表示ライン分ずつ画素データパルスを列電極  $D_1 \sim D_m$  に印加

して行く。更に、アドレス行程W1では、第2サスティンドライバ8が、上述した如き画素データパルス群DP各々の印加タイミングと同一タイミングにて、図8に示す如き負極性の走査パルスSPを発生し、これを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。この際、走査パルスSPが印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ放電（選択消去放電）が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。この選択消去放電の生起された放電セルは、後述するサスティン行程Iにてサスティン放電が生起されない状態（以降、消灯モードと称する）に推移する。一方、上記選択消去放電の生起されなかった放電セルは、その直前までの状態を維持する。すなわち、点灯モードであった放電セルはそのまま点灯モード、消灯モードであった放電セルはそのまま消灯モードを維持するのである。

#### 【0027】

このように、アドレス行程W1では、PDP100の第1表示ラインから第n表示ラインに向けて1表示ライン分ずつ順次、各放電セルが入力映像信号に基づき点灯モード又は消灯モードの内のいずれか一方に設定される。つまり、アドレス行程W1では、PDP100の第1表示ラインから第n表示ラインに向けて1表示ライン分ずつ順次画素データの書き込みが為されるのである。

#### 【0028】

サブフィールドSF3～SF10各々のアドレス行程W2<sub>1</sub>では、アドレスドライバ6は、奇数番目の表示ライン各々に対応した画素データパルス群を1表示ライン分(m個)ずつ順次、列電極 $D_1 \sim D_m$ に印加して行く。例えば、サブフィールドSF3のアドレス行程W2<sub>1</sub>では、アドレスドライバ6は、先ず、PDP100の第1番目の表示ラインに対応したm個の画素データパルスからなる画素データパルス群DP1を列電極 $D_1 \sim D_m$ に印加する。それ以降、アドレスドライバ6は、第3番目、第5番目、第7番目、……、第(n-1)番目の表示ラインに対応した画素データパルス群DP3、DP5、DP7、……、DP(n-1)各々を順次、列電極 $D_1 \sim D_m$ に印加して行く。更に、アドレス行程W2<sub>1</sub>では、第2サスティンドライバ8が、上述した如き画素データパルス群DP各々の印加タイミングと同一タイミングにて図8に示す如き負極性の走査パルスSPを奇数番

目の行電極  $Y_1$ 、 $Y_3$ 、 $Y_5$ 、 $\dots$ 、 $Y_{(n-1)}$ へと順次印加して行く。この際、走査パルス  $SP$  が印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ選択消去放電が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。この選択消去放電の生起された放電セルは消灯モードに推移する。一方、上記選択消去放電の生起されなかった放電セルは、その直前までの状態を維持する。すなわち、点灯モードであった放電セルはそのまま点灯モード、消灯モードであった放電セルはそのまま消灯モードを維持するのである。

#### 【0029】

一方、サブフィールド  $SF3 \sim SF10$  各々のアドレス行程  $W2_2$  では、アドレスドライバ6は、偶数番目の表示ライン各々に対応した画素データパルス群を1表示ライン分 ( $m$  個) ずつ順次、列電極  $D_1 \sim D_m$  に印加して行く。例えば、サブフィールド  $SF3$  のアドレス行程  $W2_2$  では、アドレスドライバ6は、先ず、 $DP100$  の第2番目の表示ラインに対応した  $m$  個の画素データパルスからなる画素データパルス群  $DP2$  を列電極  $D_1 \sim D_m$  に印加する。それ以降、アドレスドライバ6は、第4番目、第6番目、第8番目、 $\dots$ 、第  $n$  番目の表示ラインに対応した画素データパルス群  $DP4$ 、 $DP6$ 、 $DP8$ 、 $\dots$ 、 $DPn$  各々を順次、列電極  $D_1 \sim D_m$  に印加して行く。更に、アドレス行程  $W2_2$  では、第2サスティンドライバ8が、上述した如き画素データパルス群  $DP$  各々の印加タイミングと同一タイミングにて図8に示す如き負極性の走査パルス  $SP$  を偶数番目の行電極  $Y_2$ 、 $Y_4$ 、 $Y_6$ 、 $\dots$ 、 $Y_n$  へと順次印加して行く。この際、走査パルス  $SP$  が印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ選択消去放電が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。この選択消去放電の生起された放電セルは消灯モードに推移する。一方、上記選択消去放電の生起されなかった放電セルは、その直前までの状態を維持する。すなわち、点灯モードであった放電セルはそのまま点灯モード、消灯モードであった放電セルはそのまま消灯モードを維持するのである。

#### 【0030】

このように、サブフィールド  $SF3 \sim SF10$  各々のアドレス行程  $W2_1$  では

PDP100の奇数番目の表示ラインに属する放電セルのみが、入力映像信号に基づき点灯モード又は消灯モードの内のいずれか一方に設定される。一方、アドレス行程W2<sub>2</sub>では偶数番目の表示ラインに属する放電セルのみが、入力映像信号に基づき点灯モード又は消灯モードの内のいずれか一方に設定される。すなわち、サブフィールドSF3～SF10各々では、アドレス行程W2<sub>1</sub>及びW2<sub>2</sub>により、第1表示ラインから第n表示ラインに向けて1表示ラインおきに順次、画素データの書き込みが為されるのである。

#### 【0031】

又、サブフィールドSF11及びSF12各々のアドレス行程W3<sub>1</sub>では、アドレスドライバ6は、PDP100の第(4N-3)番目の表示ライン各々に対応した画素データパルス群を1表示ライン分(m個)ずつ順次、列電極D<sub>1</sub>～D<sub>m</sub>に印加して行く。例えば、図9に示す如きサブフィールドSF12のアドレス行程W3<sub>1</sub>では、アドレスドライバ6は、先ず、PDP100の第1番目の表示ラインに対応したm個の画素データパルスからなる画素データパルス群DP1を列電極D<sub>1</sub>～D<sub>m</sub>に印加する。それ以降、アドレスドライバ6は、第5番目、第9番目、……、第(n-3)番目の表示ラインに対応した画素データパルス群DP5、DP9、……、DP(n-3)各々を順次、列電極D<sub>1</sub>～D<sub>m</sub>に印加して行く。更に、上記アドレス行程W3<sub>1</sub>では、第2サステインドライバ8が、上述した如き画素データパルス群DP各々の印加タイミングと同一タイミングにて図9に示す如き負極性の走査パルスSPを第(4N-3)番目の行電極Y<sub>1</sub>、Y<sub>5</sub>、Y<sub>9</sub>、……、Y<sub>(n-3)</sub>へと順次印加して行く。この際、走査パルスSPが印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ選択消去放電が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。この選択消去放電の生起された放電セルは消灯モードに推移する。一方、上記選択消去放電の生起されなかった放電セルは、その直前までの状態を維持する。すなわち、点灯モードであった放電セルはそのまま点灯モード、消灯モードであった放電セルはそのまま消灯モードを維持するのである。

#### 【0032】

又、サブフィールドSF11及びSF12各々のアドレス行程W3<sub>2</sub>では、ア

ドレスドライバ6は、PDP100の第 $(4N-2)$ 番目の表示ライン各々に対応した画素データパルス群を1表示ライン分( $m$ 個)ずつ順次、列電極 $D_1 \sim D_m$ に印加して行く。例えば、図9に示す如きサブフィールドSF12のアドレス行程W3<sub>2</sub>では、ドレスドライバ6は、先ず、PDP100の第2番目の表示ラインに対応した $m$ 個の画素データパルスからなる画素データパルス群DP2を列電極 $D_1 \sim D_m$ に印加する。それ以降、ドレスドライバ6は、第6番目、第10番目、……、第 $(n-2)$ 番目の表示ラインに対応した画素データパルス群DP6、DP10、……、DP $(n-2)$ 各々を順次、列電極 $D_1 \sim D_m$ に印加して行く。更に、上記アドレス行程W3<sub>2</sub>では、第2サスティンドライバ8が、上述した如き画素データパルス群DP各々の印加タイミングと同一タイミングにて図9に示す如き負極性の走査パルスSPを第 $(4N-2)$ 番目の行電極 $Y_2$ 、 $Y_6$ 、 $Y_{10}$ 、……、 $Y_{(n-2)}$ へと順次印加して行く。この際、走査パルスSPが印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ選択消去放電が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。この選択消去放電の生起された放電セルは消灯モードに推移する。一方、上記選択消去放電の生起されなかった放電セルは、その直前までの状態を維持する。すなわち、点灯モードであった放電セルはそのまま点灯モード、消灯モードであった放電セルはそのまま消灯モードを維持するのである。

### 【0033】

又、サブフィールドSF11及びSF12各々のアドレス行程W3<sub>3</sub>では、ドレスドライバ6は、PDP100の第 $(4N-1)$ 番目の表示ライン各々に対応した画素データパルス群を1表示ライン分( $m$ 個)ずつ順次、列電極 $D_1 \sim D_m$ に印加して行く。例えば、図9に示す如きサブフィールドSF12のアドレス行程W3<sub>3</sub>では、ドレスドライバ6は、先ず、PDP100の第3番目の表示ラインに対応した $m$ 個の画素データパルスからなる画素データパルス群DP3を列電極 $D_1 \sim D_m$ に印加する。それ以降、ドレスドライバ6は、第7番目、第11番目、……、第 $(n-1)$ 番目の表示ラインに対応した画素データパルス群DP7、DP11、……、DP $(n-1)$ 各々を順次、列電極 $D_1 \sim D_m$ に印加して行く。更に、上記アドレス行程W3<sub>3</sub>では、第2サスティンドライバ8が、上述した

如き画素データパルス群DP各々の印加タイミングと同一タイミングにて図9に示す如き負極性の走査パルスSPを第 $(4N-1)$ 番目の行電極 $Y_3$ 、 $Y_7$ 、 $Y_{11}$ 、 $\dots$ 、 $Y_{(n-1)}$ へと順次印加して行く。この際、走査パルスSPが印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ選択消去放電が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。この選択消去放電の生起された放電セルは消灯モードに推移する。一方、上記選択消去放電の生起されなかった放電セルは、その直前までの状態を維持する。すなわち、点灯モードであった放電セルはそのまま点灯モード、消灯モードであった放電セルはそのまま消灯モードを維持するのである。

#### 【0034】

又、サブフィールドSF11及びSF12各々のアドレス行程W34では、アドレスドライバ6は、PDP100の第 $(4N)$ 番目の表示ライン各々に対応した画素データパルス群を1表示ライン分(m個)ずつ順次、列電極 $D_1 \sim D_m$ に印加して行く。例えば、図9に示す如きサブフィールドSF12のアドレス行程W34では、アドレスドライバ6は、先ず、PDP100の第4番目の表示ラインに対応したm個の画素データパルスからなる画素データパルス群DP4を列電極 $D_1 \sim D_m$ に印加する。それ以降、アドレスドライバ6は、第8番目、第12番目、 $\dots$ 、第 $(n)$ 番目の表示ラインに対応した画素データパルス群DP8、DP12、 $\dots$ 、DP $(n)$ 各々を順次、列電極 $D_1 \sim D_m$ に印加して行く。更に、上記アドレス行程W34では、第2サステインドライバ8が、上述した如き画素データパルス群DP各々の印加タイミングと同一タイミングにて図9に示す如き負極性の走査パルスSPを第 $(4N)$ 番目の行電極 $Y_4$ 、 $Y_8$ 、 $Y_{12}$ 、 $\dots$ 、 $Y_{(n)}$ へと順次印加して行く。この際、走査パルスSPが印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ選択消去放電が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。この選択消去放電の生起された放電セルは消灯モードに推移する。一方、上記選択消去放電の生起されなかった放電セルは、その直前までの状態を維持する。すなわち、点灯モードであった放電セルはそのまま点灯モード、消灯モードであった放電セルはそのまま消灯モードを維持するのである。

## 【0035】

このように、サブフィールドSF11及びSF12各々のアドレス行程W3<sub>1</sub>ではPDP100の第(4N-3)番目の表示ラインに属する放電セルのみが、入力映像信号に基づき点灯モード又は消灯モードの内のいずれか一方に設定される。又、アドレス行程W3<sub>2</sub>では第(4N-2)番目の表示ラインに属する放電セルのみが、入力映像信号に基づき点灯モード又は消灯モードの内のいずれか一方に設定される。又、アドレス行程W3<sub>3</sub>では第(4N-1)番目の表示ラインに属する放電セルのみが、入力映像信号に基づき点灯モード又は消灯モードの内のいずれか一方に設定される。又、アドレス行程W3<sub>4</sub>では第(4N)番目の表示ラインに属する放電セルのみが、入力映像信号に基づき点灯モード又は消灯モードの内のいずれか一方に設定される。すなわち、サブフィールドSF11及びSF12では、アドレス行程W3<sub>1</sub>~W3<sub>4</sub>により、第1表示ラインから第n表示ラインに向けて3表示ラインおきに画素データの書き込みが為されるのである。

## 【0036】

次に、各サブフィールドのサステイン行程Iでは、第1サステインドライバ7及び第2サステインドライバ8各々が、行電極X<sub>1</sub>~X<sub>n</sub>及びY<sub>1</sub>~Y<sub>n</sub>に対して図8又は図9に示されるように交互に、且つ繰り返し正極性のサステインパルスIP<sub>X</sub>及びIP<sub>Y</sub>を印加する。この際、サブフィールドSF1~SF12各々のサステイン行程Iにおいて印加すべきサステインパルスIP<sub>X</sub>及びIP<sub>Y</sub>各々の回数は、前述した如く各サブフィールドに割り当てられている発光期間に対応している。

## 【0037】

この際、壁電荷が残留したままとなっている放電セル、すなわち点灯モードの状態にある放電セルのみが、上記サステインパルスIP<sub>X</sub>及びIP<sub>Y</sub>が印加される度にサステイン放電する。よって、点灯モードにある放電セルは、各サブフィールドに割り当てられている発光期間に亘り、その維持放電に伴う発光状態を維持する。

## 【0038】

最後尾のサブフィールドSF12のみで実施される消去行程Eでは、アドレス

ドライバ6が、図9に示されるが如き正極性の消去パルスAPを発生してこれを列電極D<sub>1</sub>～D<sub>m</sub>に印加する。更に、第2サスティンドライバ8は、かかる消去パルスAPの印加タイミングと同時に図9に示されるが如き負極性の消去パルスEPを発生してこれを行電極Y<sub>1</sub>～Y<sub>n</sub>各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP100における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。

#### 【0039】

図7～図9に示す如き駆動によれば、各サブフィールド内のアドレス行程Wにおいて点灯モードに設定された放電セルのみが、その直後のサスティン行程Iにおいてサスティン放電に伴う発光を繰り返す。

ここで、各放電セルが点灯モード、又は消灯モードのいずれに設定されるのかは、図6に示されるが如き画素駆動データGDによって決まる。すなわち、画素駆動データGDの各ビットが論理レベル「1」である場合には、そのビット桁に対応したサブフィールドのアドレス行程Wにおいて選択消去放電（黒丸にて示す）が生起され、放電セルは消灯モードに設定される。一方、そのビットの論理レベルが「0」である場合には上記選択消去放電は生起されないため、現状を維持する。つまり、このアドレス行程Wの直前まで点灯モードであった放電セルは点灯モード、消灯モードであった放電セルは消灯モードの状態を維持する。この際、図6に示す如き13通りの画素駆動データGDによると、第1～第12ビットの中で論理レベル「1」となるビットは最大でも1つである。すなわち、図6に示す画素駆動データGDによれば、1フィールド期間内において生起される選択消去放電は必ず1回以下となる。更に、図7に示す発光駆動シーケンスによれば、放電セルを点灯モードに設定することが可能な機会は、先頭のサブフィールドSF1の一斉リセット行程Rのみである。従って、図6に示される画素駆動データGDを用いて図7に示す発光駆動シーケンスに従った駆動を行うと、各放電セルは、各フィールドの先頭から図6中の黒丸が付されているサブフィールドにて選択消去放電が生起されるまでの間、連続して点灯モードになる。そして、その間に存在する白丸にて示されるサブフィールド各々のサスティン行程Iにおいて各サブフィールドに対応した期間だけサスティン放電に伴う発光を繰り返すので

ある。この際、1フィールド期間内の各サブフィールドSF1～SF12において実施されたサステイン放電発光の総数に応じた中間調の輝度が視覚される。

【0040】

つまり、図6に示す如き13通りの画素駆動データGDにより、夫々、

[0:2:5:8:18:29:46:68:96:131:174:225:255]

なる発光輝度を有する13階調分の中間輝度が表現される。

ここで、上記アドレス行程(W1、W2<sub>1</sub>、W2<sub>2</sub>、W3<sub>1</sub>～W3<sub>4</sub>)にて消費される電力(以下、アドレス電力と称する)は、各列電極D上において点灯モード設定から消灯モード設定又は消灯モード設定から点灯モード設定への切り替え回数(単位時間あたりの)が多くなるほど、大となる。例えば、第1～第n表示ラインに向けて1表示ライン分ずつ順次、各放電セルを図10に示す形態にて点灯モード(白丸にて示す)又は消灯モード(黒丸にて示す)に設定するには、各列電極D上において点灯モード設定から消灯モード設定(又はその逆)への切り替えが1表示ライン分の処理毎に実施されることになる。つまり、先ず第1表示ライン上の放電セルが消灯モード、次に第2表示ライン上の放電セルが点灯モード、次に第3表示ライン上の放電セルが消灯モード、次に第4表示ライン上の放電セルが点灯モードに設定されるのである。ここで、列電極D<sub>1</sub>のみに着目すると、第1及び第3表示ライン上の放電セルを消灯モードに設定する際には列電極D<sub>1</sub>には高電圧の画素データパルスが印加される一方、第2及び第4表示ライン上の放電セルを点灯モードに設定する際には低電圧の画素データパルスが印加される。この際、PDP100は容量性の発光素子であるため、第1表示ライン上の放電セルを消灯モードに設定すべく列電極D<sub>1</sub>に高電圧の画素データパルスを印加すると、これに応じてPDP100の負荷容量が充電される。次に、第2表示ライン上の放電セルを点灯モードに設定すべく列電極D<sub>1</sub>に低電圧の画素データパルスが印加されると上記充電によって蓄えられていた電荷が放電する。よって、次に、第3表示ライン上の放電セルを消灯モードに設定すべく列電極D<sub>1</sub>に低電圧の画素データパルスが印加されると、再びPDP100の負荷容量に対して充電が為される。つまり、1つの列電極D上において、各放電セルを点灯モードに設定する点灯モード設定から、消灯モードに設定する消灯モード設定へと切り

替わる度に、PDP100の負荷容量に対して充電が為されてしまい、この充電によって無効な電力が消費されるのである。

#### 【0041】

そこで、本願発明においては、サブフィールドSF3～SF10各々のアドレス行程W2<sub>1</sub>及びW2<sub>2</sub>では、PDP100の第1表示ラインから第n表示ラインに向けて1表示ラインおきに画素データの書き込みを実施するようにしている。例えば図10に示す如き形態にて各放電セルに対する画素データ書き込み行う場合には、先ず、アドレス行程W2<sub>1</sub>において第1、第3、第5、……、第(n-1)表示ライン各々に属する放電セルを、1表示ライン分ずつ消灯モードに設定して行く。この際、放電セルを消灯モードに設定すべく、列電極D<sub>1</sub>には高電圧の画素データパルスが印加される。かかる高電圧の画素データパルスの印加に応じて、最初の第1表示ラインに対する書き込み時にはPDP100の負荷容量への充電がなされる。ところが、次の第3表示ラインに対する書き込み時には、既に、PDP100の負荷容量は充電済みなので充電は為されない。同様に、第5表示ライン以降の動作においても、このような充電が生じない。又、アドレス行程W2<sub>2</sub>では第2、第4、第6、……、第n表示ライン各々に属する放電セルを、1表示ライン分ずつ点灯モードに設定して行く。この際、放電セルを点灯モードに設定すべく列電極D<sub>1</sub>には低電圧の画素データパルスが印加されるが、低電圧の画素データパルスが列電極D<sub>1</sub>に印加されても、PDP100の負荷容量に対する充電は実施されない。

#### 【0042】

このように、サブフィールドSF3～SF10各々のアドレス行程W2<sub>1</sub>及びW2<sub>2</sub>では、1表示ラインおきに各放電セルに対する画素データ書き込みを実施するようにしている。よって、各放電セルを図10に示す如き形態となるように設定する際には、各列電極上において点灯モード設定（又は消灯モード設定）が連続して為されるようになる。従って、点灯モード設定から消灯モード設定への切り替え回数（単位時間あたりの）が小となるので、PDP100の負荷容量に対する充電動作の回数も低減し、充電に費やされる無駄な電力消費が抑制されるのである。

## 【0043】

ところが、各放電セルを図11に示す如き形態となるように設定する際には、サブフィールドSF3～SF10各々のアドレス行程(W2<sub>1</sub>、W2<sub>2</sub>)では、各列電極D上において、点灯モード設定から消灯モード設定への切り替えが頻繁に生じる。しかしながら、この際、サブフィールドSF1及びSF2各々のアドレス行程W1では、点灯モード設定から消灯モード設定への切り替え回数(単位時間あたりの)がアドレス行程W2<sub>1</sub>及びW2<sub>2</sub>に比して半減する。よって、負荷容量に対する充電動作の回数も低減し、充電に費やされる無駄な電力消費が抑制される。更に、サブフィールドSF11及びSF12各々のアドレス行程W3<sub>1</sub>～W3<sub>4</sub>では、各放電セルに対して3表示ラインおきに画素データの書き込みが為される。従って、各列電極D上での放電セルの点灯モード設定から消灯モード設定への切り替え回数(単位時間あたりの)は、上記アドレス行程W2<sub>1</sub>及びW2<sub>2</sub>に比して大幅に削減される。よって、負荷容量に対する充電動作の回数も低減し、充電に費やされる無駄な電力消費が抑制される。

## 【0044】

以上の如く、図3に示すディスプレイ装置においては、サブフィールドSF1及びSF2各々のアドレス行程W1では、PDP100の第1～第n表示ライン各々に属する放電セルを1表示ライン分ずつ線順次にて走査して点灯モード及び消灯モードのいずれか一方に設定して行く。又、サブフィールドSF3～SF10各々のアドレス行程W2<sub>1</sub>及びW2<sub>2</sub>では、PDP100の第1～第n表示ライン各々に属する放電セルを1表示ラインおきに走査して点灯モード及び消灯モードのいずれか一方に設定して行く。そして、サブフィールドSF11及びSF12各々のアドレス行程(W3<sub>1</sub>、W3<sub>2</sub>、W3<sub>3</sub>、W3<sub>4</sub>)では、PDP100の第1～第n表示ライン各々に属する放電セルを3表示ラインおきに走査して点灯モード及び消灯モードのいずれか一方に設定するようにしている。すなわち、SF1及びSF2なるサブフィールド群と、SF3～SF10なるサブフィールド群と、SF11及びSF12なるサブフィールド群とで、放電セルを1表示ライン分ずつ走査する際の走査順序を異ならせているのである。これにより、各列電極上において放電セルが点灯モードから消灯モードへと切り替わる回数が減り、そ

れに伴い表示パネルの負荷容量に対する充電動作の回数も減少するので、充電に費やされる無駄な電力消費が抑制される。

#### 【0045】

尚、上記実施例では、表示パネルとしてプラズマディスプレイパネルを搭載したディスプレイ装置を例にとって本発明の駆動方法を説明したが、容量性の表示パネルであればエレクトロルミネッセンスパネルを搭載したディスプレイ装置に対しても同様に適用可能である。

要するに、1フィールド内の各サブフィールドのアドレス行程にて容量性表示パネルの画素セルを1表示ライン分ずつ走査して点灯又は消灯モードに設定するにあたり、サブフィールド毎又はサブフィールド群毎にアドレス行程における表示ラインの走査順序を異ならせれば良いのである。

#### 【0046】

又、図7において、発光回数が大なるサブフィールド内におけるサステイン行程を複数の分割サステイン行程に分割し、これら分割サステイン行程の各々を、そのサブフィールド内の各アドレス行程の直後に実施させるようにしても良い。例えば、図7に示す如く発光期間「47」が割り当てられているサブフィールドSF11のサステイン行程Iを、夫々発光期間「12」が割り当てられているサステイン行程I<sub>1</sub>～I<sub>3</sub>と、発光期間「11」が割り当てられているサステイン行程I<sub>4</sub>とに分割する。そして、サブフィールドSF11内では、アドレス行程W3<sub>1</sub>、サステイン行程I<sub>1</sub>、アドレス行程W3<sub>2</sub>、サステイン行程I<sub>2</sub>、アドレス行程W3<sub>3</sub>、サステイン行程I<sub>3</sub>、アドレス行程W3<sub>4</sub>、サステイン行程I<sub>4</sub>なる順にPDP100に対する駆動を実行するのである。

#### 【図面の簡単な説明】

##### 【図1】

プラズマディスプレイ装置の概略構成を示す図である。

##### 【図2】

サブフィールド法に基づき図1に示すPDP10に印加される各種駆動パルスと、その印加タイミングを示す図である。

##### 【図3】

本発明による駆動装置を搭載したディスプレイ装置の構成を示す図である。

【図 4】

図 3 に示されるデータ変換回路 30 の内部構成を示す図である。

【図 5】

図 4 に示される第 1 データ変換回路 32 による変換特性の一例を示す図である。

【図 6】

図 4 に示される第 2 データ変換回路 34 のデータ変換テーブルと、発光駆動パターンとを対応づけて示す図である。

【図 7】

図 3 に示すディスプレイ装置における発光駆動シーケンスの一例を示す図である。

【図 8】

図 7 に示す発光駆動シーケンスに従って、PDP 100 に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 9】

図 7 に示す発光駆動シーケンスに従って、PDP 100 に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 10】

各サブフィールドのアドレス行程において、入力映像信号に基づいて設定される各放電セルの状態（点灯モード又は消灯モード）の一例を示す図である。

【図 11】

各サブフィールドのアドレス行程において、入力映像信号に基づいて設定される各放電セルの状態（点灯モード又は消灯モード）の他の一例を示す図である。

【主要部分の符号の説明】

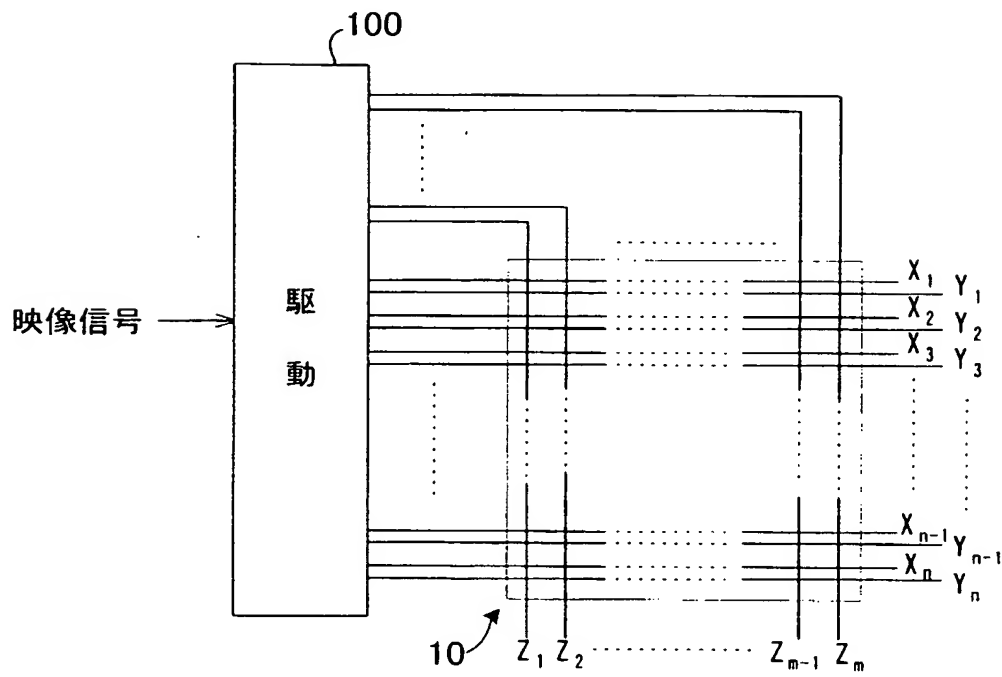
- 2 駆動制御回路
- 6 アドレスドライバ
- 7 第 1 サスティンドライバ
- 8 第 2 サスティンドライバ

1 0 0 P D P

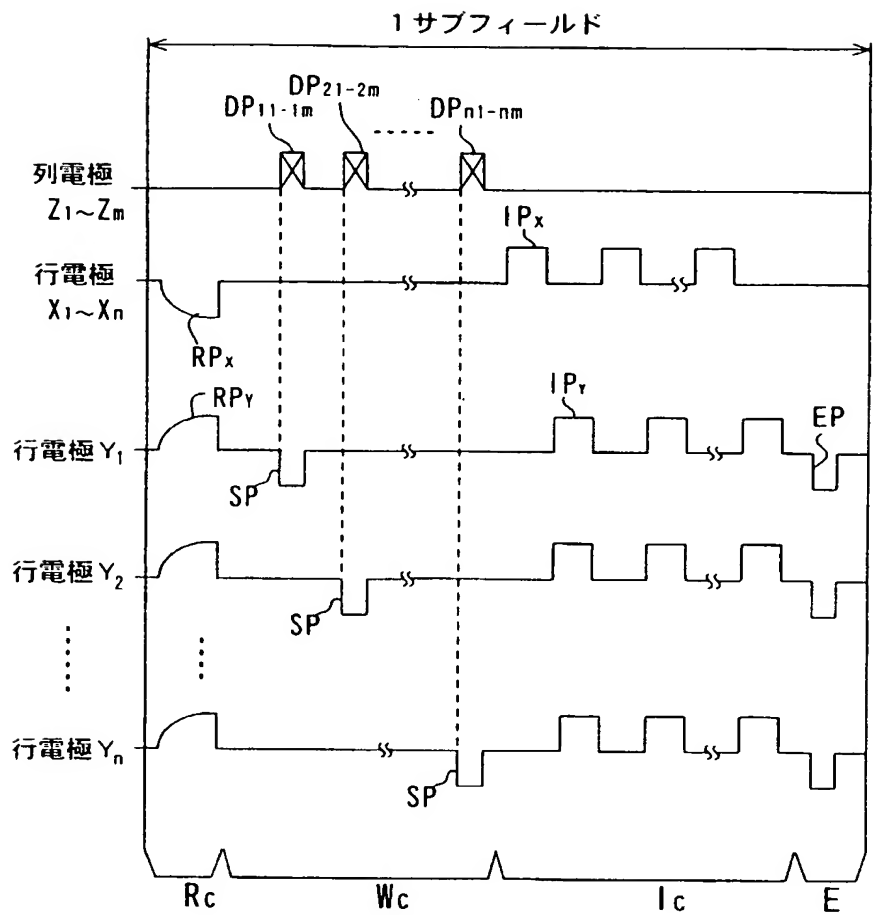
【書類名】

図面

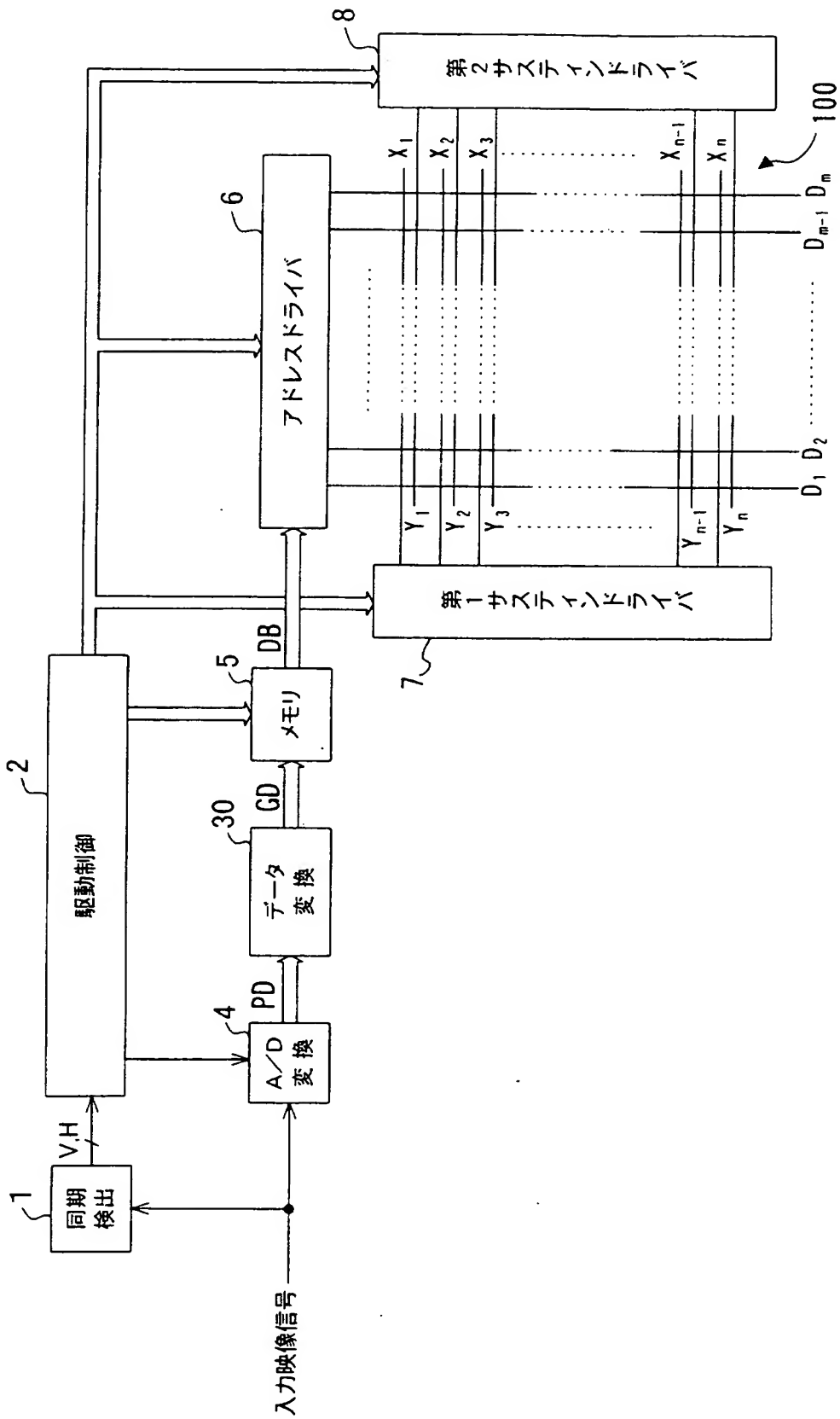
【図 1】



【図 2】

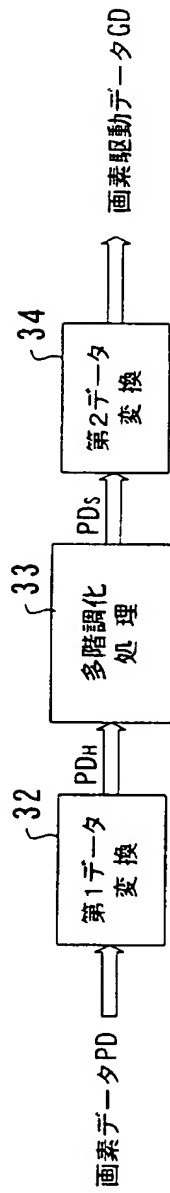


【図 3】

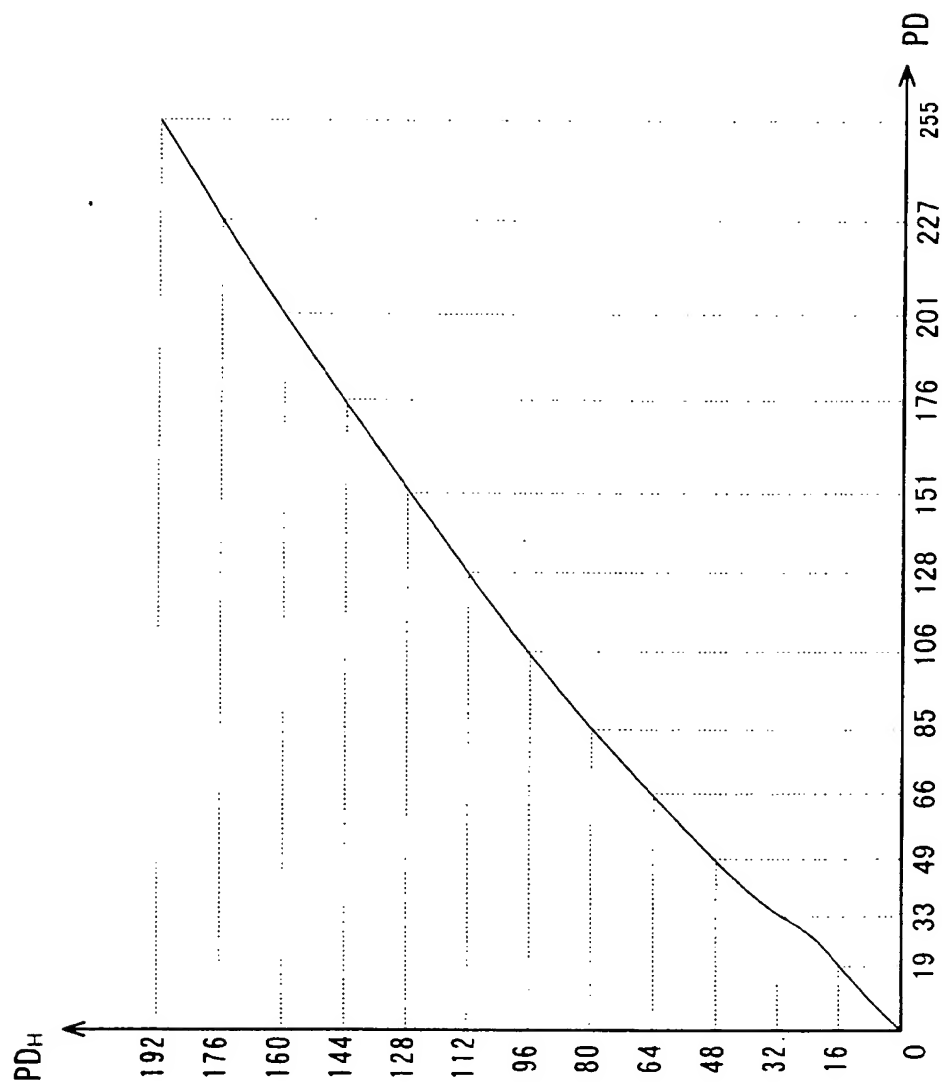


【図 4】

30



【図 5】

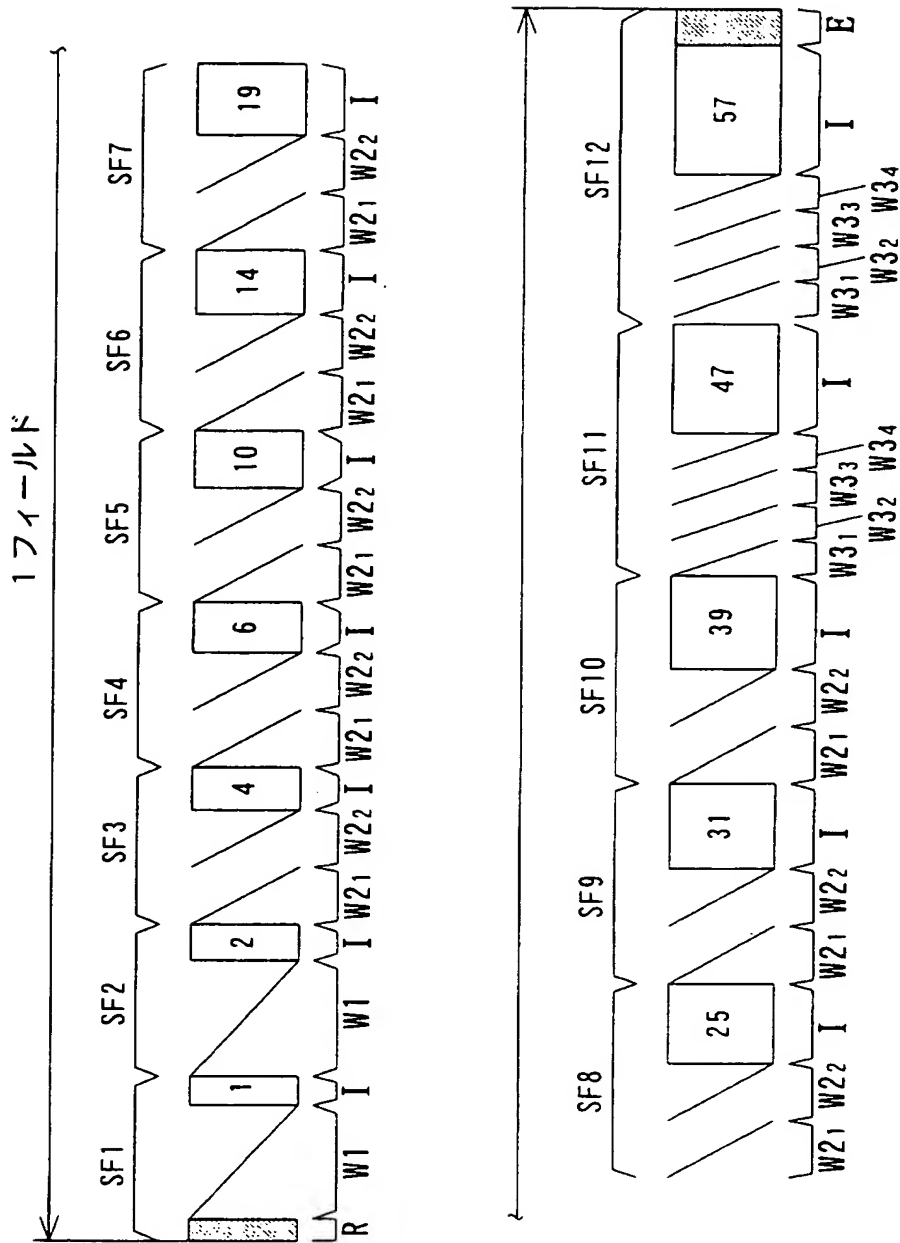


【図 6】

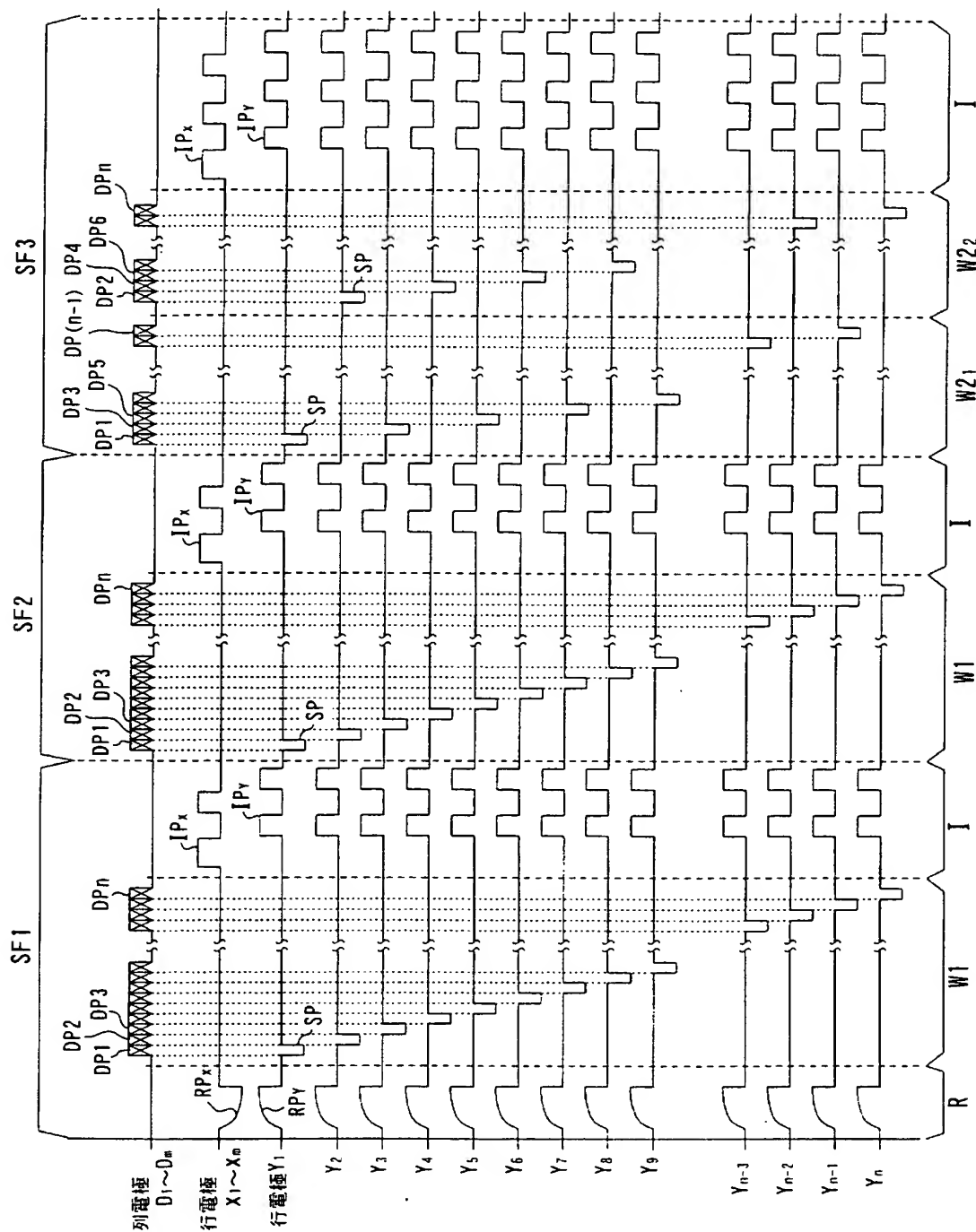
階調	第2データ変換回路34の変換テーブル												1フィールド発光駆動パターン												輝度		
	PDs	GD												SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11		SF 12	
		1	2	3	4	5	6	7	8	9	10	11	12														
1	0000	1	0	0	0	0	0	0	0	0	0	0	0	●													0
2	0001	0	1	0	0	0	0	0	0	0	0	0	0	○	●												1
3	0010	0	0	1	0	0	0	0	0	0	0	0	0	○	○	●											3
4	0011	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	●										7
5	0100	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	●									13
6	0101	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	●								23
7	0110	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	●							37
8	0111	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	●						56
9	1000	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	●					81
10	1001	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	●			112
11	1010	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	●	151
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	198
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	255

黒丸:選択消去放電  
白丸:サステイン放電発光

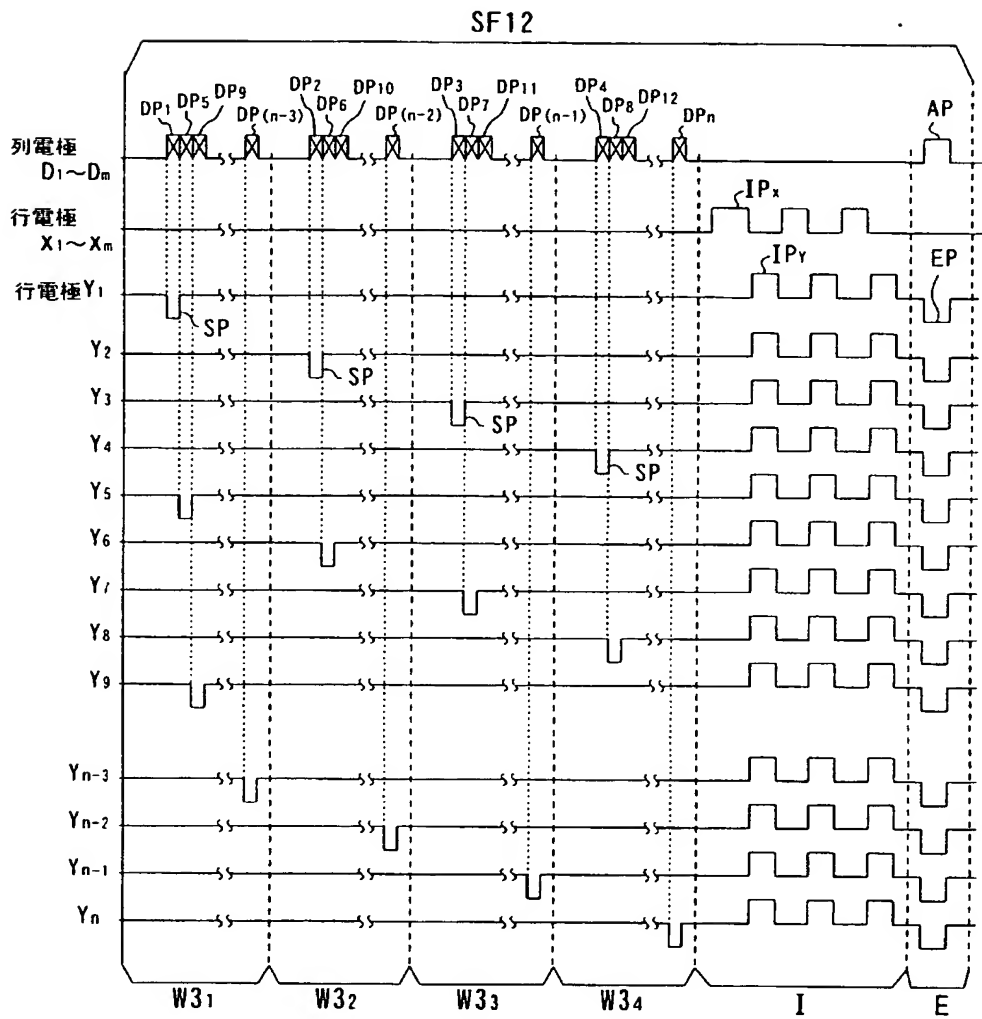
【図 7】



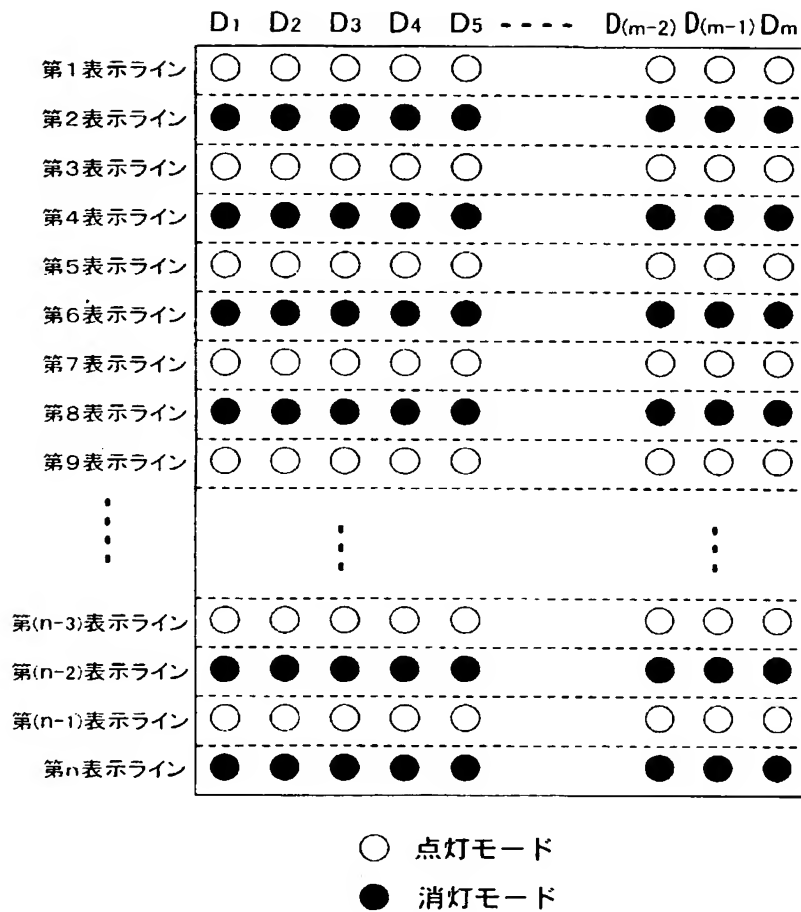
【図 8】



【図 9】



【図 1 0】



【図 11】

	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	----	D <sub>(m-2)</sub>	D <sub>(m-1)</sub>	D <sub>m</sub>
第1表示ライン	○	○	○	○	○		○	○	○
第2表示ライン	○	○	○	○	○		○	○	○
第3表示ライン	●	●	●	●	●		●	●	●
第4表示ライン	●	●	●	●	●		●	●	●
第5表示ライン	○	○	○	○	○		○	○	○
第6表示ライン	○	○	○	○	○		○	○	○
第7表示ライン	●	●	●	●	●		●	●	●
第8表示ライン	●	●	●	●	●		●	●	●
第9表示ライン	○	○	○	○	○		○	○	○
⋮		⋮					⋮		
第(n-3)表示ライン	○	○	○	○	○		○	○	○
第(n-2)表示ライン	●	●	●	●	●		●	●	●
第(n-1)表示ライン	●	●	●	●	●		●	●	●
第n表示ライン	○	○	○	○	○		○	○	○

○ 点灯モード

● 消灯モード

【書類名】 要約書

【要約】

【目的】 消費電力を低減できる表示パネルの駆動方法を提供することを目的とする。

【解決手段】 1 フィールド内の各サブフィールドのアドレス行程にて容量性表示パネルの画素セルを 1 表示ライン分ずつ走査して点灯又は消灯モードに設定するにあたり、少なくとも 2 つのサブフィールド各々のアドレス行程での表示ラインの走査順序を他のアドレス行程での走査順序と異ならせる。

【選択図】 図 7

特願 2 0 0 3 - 1 1 3 6 5 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 1 6 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都目黒区目黒 1 丁目 4 番 1 号

氏 名

パイオニア株式会社